

PATENT  
81784.0299  
Express Mail Label No. EV 324 111 959 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:	Art Unit: Not assigned
Takashi TANIMOTO	Examiner: Not assigned
Serial No: Not assigned	
Filed: January 27, 2004	
For: Image Capturing Device Having a Plurality of Solid Image Capturing Element	

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-036291 which was filed February 14, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 14, 2003

Application Number: Patent Application No. 2003-036291  
[ST.10/C] [JP2003-036291]

Applicant(s): SANYO ELECTRIC CO., LTD.

January 9, 2004

Commissioner, Yasuo IMAI  
Japan Patent Office

Priority Certificate No. 2003-3109890

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 2月 14日

出願番号 Application Number: 特願 2003-036291

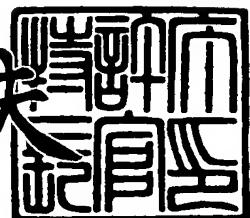
[ST. 10/C]: [JP 2003-036291]

出願人 Applicant(s): 三洋電機株式会社

2004年 1月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 KAB1030007

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 谷本 孝司

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 知的財産センター 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項1】 第1の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する第1の固体撮像素子と、第2の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する第2の固体撮像素子と、前記第1及び第2の固体撮像素子の動作を制御する駆動制御回路と、前記第1及び第2の固体撮像素子の駆動条件を指定する第1及び第2の設定データを格納するレジスタと、を備え、前記駆動制御回路は、前記レジスタに格納される前記第1の設定データに従って前記第1の固体撮像素子を駆動すると共に、前記第2の設定データに従って前記第2の固体撮像素子を駆動することを特徴とする撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記レジスタは、その記憶領域が複数のブロックに分割され、前記第1及び第2の設定データのそれぞれを各ブロック毎に格納することを特徴とする撮像装置。

【請求項3】 請求項1又は請求項2に記載の撮像装置において、前記駆動制御回路は、前記第1及び第2の固体撮像素子の垂直走査及び水平走査のタイミングを決定し、第1及び第2のタイミング信号を生成するタイミング制御回路と、前記第1のタイミング信号に応答して前記第1の固体撮像素子を駆動する第1の駆動回路と、前記第2のタイミング信号に応答して前記第2の固体撮像素子を駆動する第2の駆動回路と、を有し、前記第1及び第2の駆動回路は、駆動能力の切り替えが可能に構成されると共に、その駆動能力が前記第1及び第2の設定データに従って決定されることを特徴とする撮像装置。

【請求項4】 請求項3に記載の撮像装置において、前記タイミング制御回路は、所定の基準クロックをカウントするカウンタと、前記カウンタの出力をデコードして前記第1及び第2のタイミング信号を生成するデコーダと、前記第1及び第2のタイミング信号を遅延すると共に、その遅延時間が変更可能に設定される遅延回路と、を有し、前記遅延回路は、前記第1及び第2の設定データに従って前記遅延時間が決定されることを特徴とする撮像装置。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本願発明は、複数の固体撮像素子を用いて複数の被写体映像を撮像し、それによって得られる複数系列の画像信号を合成して出力する撮像装置に関する。

## 【0002】

## 【従来の技術】

デジタルカメラ等の撮像装置においては、複数の固体撮像素子を搭載して複数の被写体映像を撮像し、それによって得られる複数系列の画像信号を合成して共通の表示画面に表示することが考えられている（例えば、特許文献1参照。）。

## 【0003】

このような撮像装置は、例えば、図4のように構成され、第1の撮像系列として、第1の固体撮像素子1a、第1の駆動回路2a及び第1の信号処理回路4aを備えると共に、第2の撮像系列として、第2の固体撮像素子1b、第2の駆動回路2b及び第2の信号処理回路4bを備える。そして、共通の回路として、同期信号発生回路3、選択回路5及び第3の信号処理回路6を備える。

## 【0004】

図4に示す撮像装置では、第1及び第2の駆動回路2a、2bが同期信号発生回路3からのタイミング信号に応答して第1及び第2の固体撮像素子1a、1bを駆動し、第1及び第2の固体撮像素子1a、1bから取り出される2系列の画像信号を第1及び第2の信号処理回路4a、4bへ取り込む。第1及び第2の信号処理回路4a、4bは、各系列の画像信号に対してガンマ補正処理やAGC（自動利得制御）処理を施し、処理後の信号を選択回路5へ出力する。選択回路5は、2系列の画像信号を各入力端子に取り込み、これらを交互に選択して選択した画像信号を第3の信号処理回路6へ出力する。第3の信号処理回路6は、選択回路5で選択された画像信号に対して、色分離やマトリクス演算等の処理を施し、輝度信号及び色差信号を含む画像信号を生成する。

## 【0005】

このような撮像装置では、第1及び第2の固体撮像素子からの2系列の画像信号を交互に選択することで、第1及び第2の画像信号が所定間隔毎に交互に配列

された1系列の画像信号を得ている。

### 【0006】

#### 【特許文献1】

特開昭64-62974号公報

### 【0007】

#### 【発明が解決しようとする課題】

上述のように複数の固体撮像素子を用いる撮像装置においては、取り付け側のカメラ筐体の都合によって、固体撮像素子から駆動回路までの距離が各撮像系列で異なる場合がある。このような場合、複数の固体撮像素子を同等の条件で駆動することは好ましくなく、各固体撮像素子の特性を十分に引き出せないといった不都合が生じる。

### 【0008】

例えば、駆動回路から固体撮像素子までの配線が長い場合、配線長に応じて配線のインピーダンスが高くなり、固体撮像素子まで駆動クロックが到達するまでに駆動能力が損失される割合が高くなる。このため、各固体撮像素子への距離が異なる場合、配線長が短い側に比べて配線長が長い側の駆動クロックの駆動能力を高く設定しておかなければならない。また、駆動クロックが各固体撮像素子へ到達するまでの時間においても同様であり、配線長に応じた遅延に起因するタイミングのずれが生じる。こういった場合、複数の固体撮像素子の動作を同期させることが困難となる。

### 【0009】

ところで、固体撮像素子を駆動させる場合、駆動条件を示す設定データを電源投入と同時にレジスタ等の記憶手段へ書き込み、記憶手段に格納した設定データに従って、固体撮像素子を駆動するという方法が一般的に用いられている。これを複数の固体撮像素子を用いる撮像装置に適用した場合、各固体撮像素子に適した駆動条件を設定しようとすると、固体撮像素子の切り替えの都度、記憶手段の内容を書き換えることにならざるを得ないという不都合があった。

### 【0010】

そこで、本願発明は、複数の固体撮像素子を用いる撮像装置において、各固体撮像素子を最適な条件で駆動させることができ、且つ、固体撮像素子の動作切り替えをスムーズに行うことが可能な撮像装置の提供を目的とする。

### 【0011】

#### 【課題を解決するための手段】

本願発明は、上述の課題に鑑みてなされたものであり、その特徴とするところは、第1の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する第1の固体撮像素子と、第2の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する第2の固体撮像素子と、前記第1及び第2の固体撮像素子の動作を制御する駆動制御回路と、前記第1及び第2の固体撮像素子の駆動条件を指定する第1及び第2の設定データを格納するレジスタと、を備え、前記駆動制御回路は、前記レジスタに格納される前記第1の設定データに従って前記第1の固体撮像素子を駆動すると共に、前記第2の設定データに従って前記第2の固体撮像素子を駆動することにある。

### 【0012】

本願発明によれば、2つの固体撮像素子の駆動条件を別々に設定することができ、各固体撮像素子を最適な条件で駆動させることができ可能となる。更に、本願発明においては、各固体撮像素子に設定される個別の駆動条件を同時にレジスタへ書き込むことができる。このため、固体撮像素子の切り替えの都度、レジスタの内容を書き換える必要がなくなり、第1及び第2の固体撮像素子間の動作切り替えをスムーズに行うことができる。

### 【0013】

#### 【発明の実施の形態】

図1は、本願発明の実施形態を示すブロック図である。図1に示す撮像装置は、第1の固体撮像素子20a、第2の駆動回路21a、第2の固体撮像素子20b、第2の駆動回路21b、選択回路22、アナログ処理回路23、A/D変換回路24、デジタル処理回路25、タイミング制御回路26、レジスタ30及び書き込み制御回路31から構成される。

### 【0014】

本願発明の特徴とするところは、第1及び第2の固体撮像素子20a、20bのそれぞれに最適な駆動条件を示す第1及び第2の設定データをレジスタ30に格納し、格納した第1及び第2の設定データに従って第1及び第2の固体撮像素子20a、20bの動作を制御することにある。

### 【0015】

第1の固体撮像素子20aは、複数の受光画素が受光部に行列配置され、この受光部に受ける第1の被写体映像に応答して発生する第1の情報電荷を各受光画素に蓄積する。このような固体撮像素子には、1画面の情報電荷を高速で蓄積部へ転送するフレーム転送型や、受光部に蓄積する情報電荷を受光画素の列間に配置される垂直転送部へ転送するインターライン型や、フレーム転送型及びインターライン型の両方の機能を併せ持つフレームインターライン型の転送方式の異なる幾つかのタイプがある。

### 【0016】

第1の駆動回路21aは、第1の固体撮像素子20aに対応して設けられ、第1の固体撮像素子20aを駆動して第1の画像信号Y<sub>a</sub>(t)を取り出す。この第1の駆動回路21aは、タイミング制御回路26から与えられるタイミング信号に応答して駆動クロックを生成し、駆動クロックを第1の固体撮像素子20aへ出力して第1の固体撮像素子20aを駆動する。例えば、第1の固体撮像素子20aがフレーム転送型であった場合、駆動クロックとしてフレーム転送クロック $\phi_f$ 、垂直転送クロック $\phi_v$ 、水平転送クロック $\phi_h$ 及びリセットクロック $\phi_r$ を生成する。フレーム転送クロック $\phi_f$ は、受光部に蓄積された1画面分の情報電荷を蓄積部へ高速で転送し、垂直転送クロック $\phi_v$ は、蓄積部に蓄積された1画面分の情報電荷を1行単位で水平転送部へ転送する。水平転送クロック $\phi_h$ は、水平転送部に蓄積された1行分の情報電荷を1画素単位で出力部へ転送し、リセットクロック $\phi_r$ は、1画素単位で出力部をリセットする。これにより、第1の固体撮像素子20aからは、第1の画像信号Y<sub>a</sub>(t)が1画素単位で取り出される。また、この第1の駆動回路21aは、駆動能力の切り替えが可能に構成され、その駆動能力がレジスタ30に格納される第1及び第2の設定データに従って設定される。

## 【0017】

第2の固体撮像素子20b及び第2の駆動回路21bは、第1の固体撮像素子20a及び第1の駆動回路21bと基本的に同一の構造を有し、第2の固体撮像素子20bは、第2の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積し、第2の駆動回路21bは、第2の固体撮像素子20bを駆動して第2の画像信号 $Y_b(t)$ を取り出す。

## 【0018】

選択回路22は、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ を取り込み、第1及び第2の固体撮像素子10a、10bの動作タイミングに同期して第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の何れか一方を選択して画像信号 $Y(t)$ として出力する。これにより、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ が所定間隔毎に交互に配列された一系列の画像信号 $Y(t)$ を得ることができる。

## 【0019】

アナログ処理回路23は、選択回路22で選択された画像信号 $Y(t)$ に対し、CDSやAGC等のアナログ信号処理を施す。CDSでは、リセットレベルと信号レベルとを交互に繰り返す画像信号 $Y(t)$ に対し、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルの連続する画像信号を生成する。また、AGCでは、CDSで取り出された画像信号を1画面、或いは、1垂直走査期間単位で積分し、その積分値が所定の範囲内に収まるようにゲイン調整を行う。

## 【0020】

A/D変換回路24は、アナログ信号処理の施された画像信号 $Y'(t)$ を取り込んで規格化し、アナログ信号からデジタル信号に変換して画像データ $Y(n)$ として出力する。

## 【0021】

デジタル処理回路25は、A/D変換回路24から出力される画像データ $Y(n)$ に対して、色分離、マトリクス演算等のデジタル信号処理を施し、輝度信号及び色差信号を含む画像データ $Y'(n)$ を生成する。また、デジタル処理回路25は、露光制御回路やホワイトバランス制御回路を有し、第1及び第2の固体撮像

素子20a、20bの露光状態を制御する露光制御、画像信号Y(t)のホワイトバランスを制御するホワイトバランス制御を行う。

#### 【0022】

タイミング制御回路26は、第1及び第2の駆動回路21a、21bへタイミング信号を供給し、第1及び第2の固体撮像素子20a、20bの垂直走査タイミング及び水平走査タイミングを決定する。このタイミング制御回路26は、カウンタ27、デコーダ28、第1及び第2のディレイ29a、29bを含んで構成され、一定周期の基準クロックCKをカウンタ27でカウントし、このカウンタ27の出力をデコーダ28でデコードしてタイミング信号を生成する。この際、デコーダ28の設定値を変更することで様々なタイミング信号を複数生成することができる。そして、デコーダ28からのタイミング信号を第1及び第2のディレイ29a、29bで所定時間遅延して第1及び第2の駆動回路21a、21bへ出力する。

#### 【0023】

また、タイミング制御回路26は、第1及び第2の駆動回路21a、21b以外の回路にもタイミング信号を供給しており、各回路の動作が第1及び第2の固体撮像素子20a、20bの動作タイミングに同期するようにしている。

#### 【0024】

レジスタ30は、所定ビット数のデータの格納が可能な記憶媒体によって構成され、第1及び第2の固体撮像素子20a、20bの駆動条件を指定する第1及び第2の設定データを格納する。これら第1及び第2の設定データのうち、第1の設定データが第1の駆動回路21aの駆動能力を指定する第1の設定値S1及び第1のディレイ29aの遅延時間を指定する第3の設定値S3からなり、第2の設定データが第2の駆動回路21bの駆動能力を指定する第2の設定値S2及び第2のディレイ29bの遅延時間を指定する第4の設定値S4からなる。

#### 【0025】

レジスタ30は、記憶領域が第1乃至第4のブロック30a～30dに分割され、第1乃至第4の設定値S1～S4のそれぞれを各ブロック毎に格納して別々に管理する。この場合、各ブロック30a～30dは、第1のブロック30aが

アドレス0～5、第2のブロック30bがアドレス5～10といった具合に、各ブロック内でアドレスが連続するのが望ましい。

### 【0026】

また、レジスタ30は、第1及び第2の設定データ以外にも、第1乃至第4のブロック30a～30dとは別の記憶領域に、複数パターンの撮像モードのそれぞれに対応付けられた複数の設定データを格納し、外部から与えられる撮像モード切り替え信号MODEを受けて、これによって指定される撮像モードに対応した設定データをデコーダ28へ出力する。撮像モードとしては、例えば、第1及び第2の固体撮像素子10a、10bの何れか一方だけを動作させるといったものや、1画面、或いは、複数画面単位で第1及び第2の固体撮像素子10a、10bの動作を切り替えるといったものがある。そして、これらの撮像モードに対応した設定データがタイミング制御回路14へ供給されることにより、各タイミング信号が、指定された撮像モードに合わせて変更される。

### 【0027】

書き込み制御回路31は、外部から与えられる制御信号CONTに応答して、第1乃至第4の設定値S1～S4をレジスタ30へ書き込む。この書き込み制御回路31へ供給される制御信号CONTは、第1及び第2の固体撮像素子20a、20bの駆動条件を個別に指定しており、カメラ筐体の電源投入と同時に供給される。これを受けた書き込み制御回路31では、指定された駆動条件に対応した値を選択し、第1乃至第4の設定値S1～S4としてレジスタ30に書き込む。また、書き込み制御回路31は、外部から供給されるモード信号MODEに応答して、指定された撮像モードに応じた設定データをレジスタ30に書き込む。

### 【0028】

このように、レジスタ30へ第1及び第2の固体撮像素子20a、20bの駆動条件を指定する第1及び第2の設定データを格納することで、第1及び第2の固体撮像素子20a、20bの駆動条件を個別に設定することができる。これにより、第1及び第2の固体撮像素子20a、20bのそれぞれに最適な駆動条件を設定することができる。更に、第1及び第2の設定データをレジスタ30へ一括して格納することで、第1及び第2の固体撮像素子20a、20bに対する駆

動条件を同時に設定することができる。これにより、第1及び第2の駆動回路21a、21b、第1及び第2のディレイ29a、29bの動作条件が、レジスタ30の内容を参照して初期設定されるため、第1及び第2の固体撮像素子20a、20bの動作切り替えの都度、レジスタ30の内容を書き換える必要がなくなり、第1及び第2の固体撮像素子20a、20b間の動作切り替えをスムーズに行うことができる。

#### 【0029】

図2は、第1及び第2の駆動回路21a、21bの構成の一例を示す回路構成図である。第1及び第2の駆動回路21a、21bは、共に同一の回路構成を有しており、ここでは、第1の駆動回路21aを例にあげて説明する。

#### 【0030】

第1の駆動回路21aは、第1のインバータ40、ORゲート41、ANDゲート42、第2のインバータ43、第1のトランジスタ44及び第2のトランジスタ45から構成される。第1のインバータ40は、タイミング制御回路26からのタイミング信号を反転し、駆動クロックとして第1及び第2の固体撮像素子20a、20bに供給する。

#### 【0031】

ORゲート41は、入力の一方にタイミング信号を受けると共に、入力の他方に第2のインバータ43の出力を受け、これらの論理和を取って出力する。ANDゲート42は、入力の一方にタイミング信号を受けると共に、入力の他方にレジスタ30からの第1の設定値S1を受け、これらの論理積を取って出力する。

#### 【0032】

第2のインバータ43は、第1の設定値S1の反転信号を生成して出力する。第1のトランジスタ44は、Pチャンネル型のMOSトランジスタであり、電源とノードBとの間に接続され、ゲートにORゲート41の論理和出力を受ける。第2のトランジスタ45は、Nチャンネル型のMOSトランジスタであり、接地点とノードBとの間に接続され、ゲートにANDゲート42の論理積出力を受ける。

#### 【0033】

続いて、図2の動作を説明する。タイミング信号が第1のインバータ40によって反転され、駆動クロックとして第1の固体撮像素子20aに供給される。このとき、駆動クロックには、第3のトランジスタ40aを介した電源からノードAへの電流経路及び第4のトランジスタ40bを介したノードAから接地点への電流経路によって一定の駆動能力が与えられる。

#### 【0034】

このとき、第1の設定値S1が「0」（Lレベル）を示していると、ANDゲート42の出力がLレベルとなる。一方、ORゲート41は、第2のインバータ43によって第1の設定値S1が反転されたHレベルの信号が入力されるため、出力がHレベルとなる。この結果、第1及び第2のトランジスタ44、45が共にオフし、ノードBがハイインピーダンス状態となる。したがって、ノードBからノードAへの電流経路は、無効とされ、第1の固体撮像素子20aには、第1のインバータ40による駆動能力で駆動クロックが供給される。

#### 【0035】

逆に、第1の設定値S1が「1」（Hレベル）を示していた場合、ANDゲート42の一方の入力へHレベルの信号が供給され、ORゲート41の一方の入力へLレベルの信号が供給される。したがって、ANDゲート42及びORゲート41は、タイミング信号のレベルに応答して動作することになる。

#### 【0036】

例えば、タイミング信号がHレベルを示すとき、ANDゲート42及びORゲート41が共にHレベルの信号を出力する。したがって、第2のトランジスタ45がオンし、接地点からノードB、ノードBからノードAへの電流経路が有効とされる。このとき、第1のインバータ40では、タイミング信号のHレベルに応答して第3のトランジスタ40bがオンし、Lレベルの信号を出力している。このため、第1のインバータ40による駆動能力に対して、接地点—ノードB—ノードAの電流経路による駆動能力が加算され、この結果、第1の駆動回路21aからは、駆動能力の増加された駆動クロックが出力される。

#### 【0037】

一方、タイミング信号がLレベルを示すときも同様であり、第1のインバータ

40の動作に同期して第1のトランジスタ44がオンし、駆動クロックの駆動能力が増加される。

#### 【0038】

このような回路構成により、第1の駆動回路21aは、駆動能力の切り替えが可能となると共に、その駆動能力が第1の設定値S1の設定に従って決定される。したがって、複数の駆動能力の中から第1の固体撮像素子20a－第1の駆動回路21a間の配線長に最適なものを選択することができると共に、この選択を第1の設定値S1の変更によって容易に行うことができる。

#### 【0039】

また、上述した回路構成は、第1の駆動回路21aから出力される駆動クロックの数と同等数だけ第1の駆動回路21a内に配置される。そして、これらに対し、第1の設定値S1が共通に供給されており、第1の設定値S1の設定によって第1の駆動回路21a全体の駆動能力を同時に切り替えることができる。

#### 【0040】

尚、ここでは、駆動能力の切り替えが2段の場合を示しているが、これに限られるものではない。例えば、ORゲート41、ANDゲート42、第2のインバータ43、第1及び第2のトランジスタ44、45からなる構成を、第1のインバータ40に対して、3段、4段と並列に接続していくことで、より多段な切り替えが可能となる。

#### 【0041】

図3は、第1及び第2のディレイ29a、29bの一例を示す回路構成図である。第1及び第2のディレイ29a、29bは、共に同一の回路構成を有しており、ここでは、第1のディレイ29aを例にあげて説明する。

#### 【0042】

第1のディレイ29aは、遅延回路50及びセレクタ52から構成される。遅延回路50は、それぞれが所定の遅延時間有する遅延素子51が複数段直列に接続されて構成され、入力されるデコーダ28からのタイミング信号を各遅延素子51によって順次遅延する。セレクタ52は、遅延回路50に対して並列に接続され、遅延回路50の各遅延素子51の出力を入力に受ける。そして、第3の

設定値 S 3 に応答して何れか 1 つの遅延素子 5 1 の出力を選択し、遅延タイミング信号として第 1 の駆動回路 2 1 a へ出力する。例えば、図 3 に示すように、遅延回路 5 0 からセレクタ 5 2 への出力が 7 本であった場合、第 3 の設定値 S 3 としては、3 ビットのデータが準備され、3 ビットデータの値によって、何れか 1 つの遅延出力が選択される。

#### 【0043】

このような回路構成は、デコーダ 2 8 から出力されるタイミング信号の数と同等数だけタイミング制御回路 2 9 内に配置され、これら回路に対し、第 3 の設定値 S 3 が共通に供給される。

#### 【0044】

このように第 1 のディレイ 2 9 a の遅延時間を切り替え可能とし、その遅延時間を第 3 の設定値 S 3 によって選択可能とすることで、第 1 の固体撮像素子 2 0 a から第 1 の駆動回路 2 1 a までの配線長に適した遅延時間を細かに設定することができ、第 1 及び第 2 の固体撮像素子 2 0 a、2 0 b 間の動作を容易に同期させることができる。

#### 【0045】

##### 【発明の効果】

本願発明によれば、複数の固体撮像素子を用いる撮像装置において、各固体撮像素子を最適な条件で駆動させることができると共に、固体撮像素子間の動作切り替えをスムーズに行うことができる。

##### 【図面の簡単な説明】

###### 【図 1】

本願発明の実施形態の構成を示すブロック図である。

###### 【図 2】

第 1 の駆動回路 2 1 a の一例を示す回路構成図である。

###### 【図 3】

第 1 のディレイ 2 9 a の一例を示す回路構成である。

###### 【図 4】

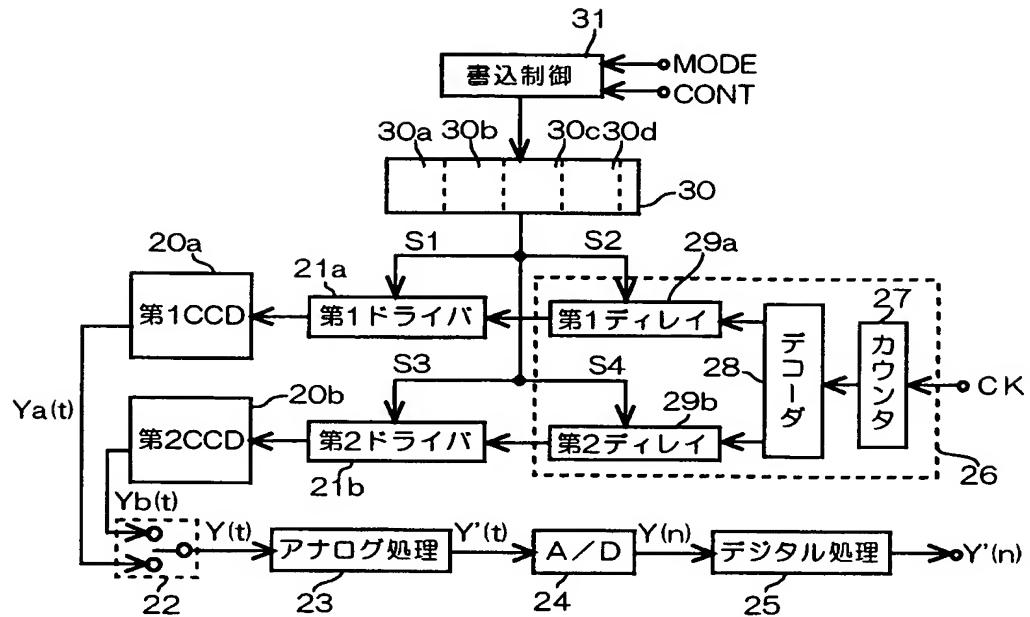
従来の撮像装置の構成を示すブロック図である。

**【符号の説明】**

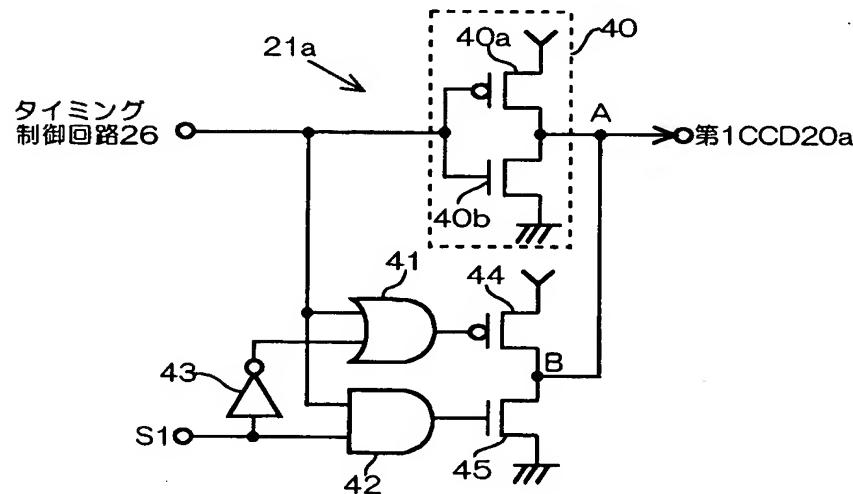
1 a、20 a…第1の固体撮像素子、2 a、21 a…第1の駆動回路、1 b、20 b…第2の固体撮像素子、2 b、21 b…第2の駆動回路、3…同期発生回路、4 a…第1の信号処理回路、4 b…第2の信号処理回路、5…選択回路、6…第3の信号処理回路、22…選択回路、23…アナログ処理回路、24…A/D変換回路、25…デジタル処理回路、26…タイミング制御回路、27…カウンタ、28…デコーダ、29 a…第1のディレイ、29 b…第2のディレイ、30…レジスタ、31…書き込み制御回路、40…第1のインバータ、41…ORゲート、42…ANDゲート、43…第2のインバータ、44…第1のトランジスタ、45…第2のトランジスタ、50…遅延回路、51…遅延素子、52…セレクタ

【書類名】 図面

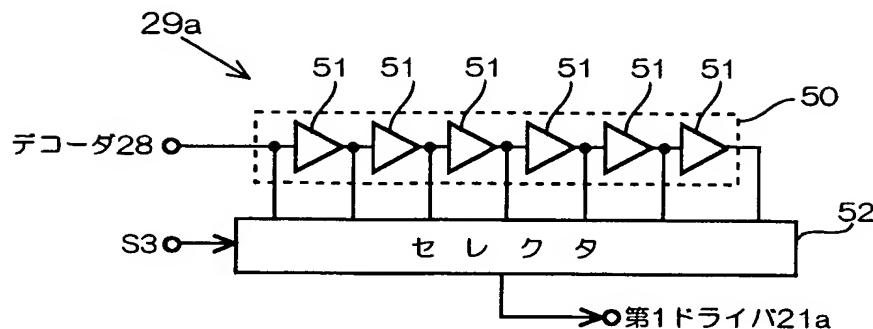
【図 1】



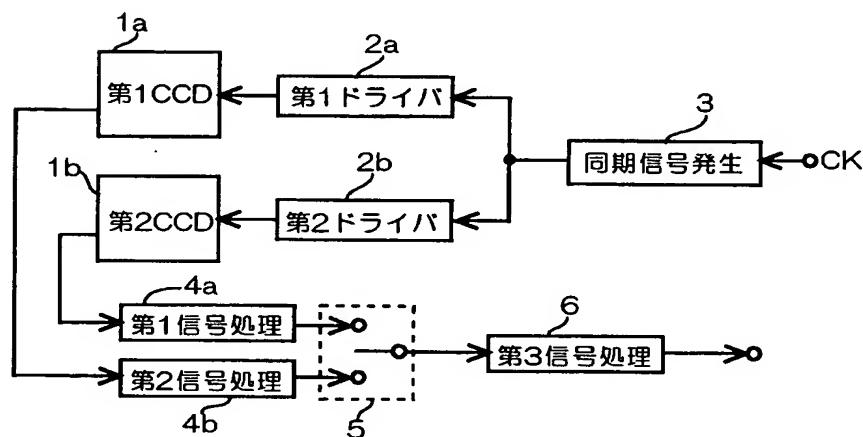
【図 2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 複数の固体撮像素子を用いる撮像装置において、各固体撮像素子を最適な条件で駆動させると共に、固体撮像素子間の動作切り替えをスムーズに行う。

【解決手段】 第1の固体撮像素子20aは、第1の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する。第2の固体撮像素子20bは、第2の被写体映像に応答して発生する情報電荷を複数の受光画素に蓄積する。レジスタ30は、第1及び第2の固体撮像素子の駆動条件を指定する第1及び第2の設定データを格納する。第1及び第2の駆動回路21a、21b、タイミング制御回路26からなる駆動制御回路は、レジスタ30に格納される第1及び第2の設定データに従って第1及び第2の固体撮像素子20a、20bの動作を制御する。

【選択図】 図1

特願 2003-036291

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日  
[変更理由] 住所変更  
住 所 大阪府守口市京阪本通2丁目5番5号  
氏 名 三洋電機株式会社